

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-002684

(43)Date of publication of application : 08.01.1990

(51)Int.Cl.

H01L 29/788  
G11C 16/02  
G11C 16/04  
H01L 27/115  
H01L 29/792

(21)Application number : 63-148752

(71)Applicant : NEC CORP

(22)Date of filing : 15.06.1988

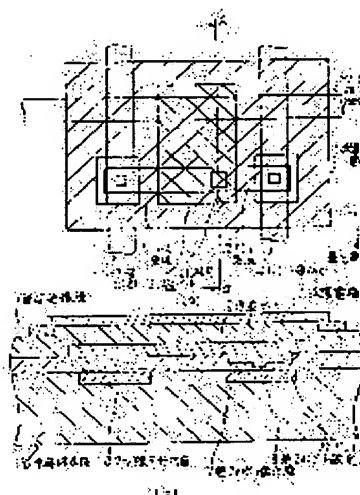
(72)Inventor : MATSUDA HAJIME

## (54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

## (57)Abstract:

PURPOSE: To obtain a device consisting of a single-layer structured memory cell having good holding characteristics of electric charge by a method wherein a protection electrode is provided on a surface of a floating gate via an insulation film, and the protection electrode is connected to the lowest electric potential.

CONSTITUTION: In a nonvolatile semiconductor memory device having a floating gate 2 whose surface is not covered with a control gate, a protection electrode 1 is provided on the surface of said floating gate 2 via an insulation film 9 and the protection electrode 1 is connected to the lowest electric potential. For example, the protection electrode 1 is formed on the floating gate 2 of an electrically erasing type single layer gate nonvolatile semiconductor memory device which consists of a word line 3 made of an impurity diffusion layer, the floating gate 2, a source line 5 and a digit line 4. The protection electrode 1 is furthermore connected to the lowest electric potential. This enables cations to be accumulated in the protection electrode, preventing the cations from influencing the floating gate against entry of alkali cations into a chip due to secular change. This therefore remarkably improves reliability for long-term holding of memory.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A)

平2-2684

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月8日

H 01 L 29/788  
G 11 C 16/02  
16/04  
H 01 L 27/115  
29/792

7514-5F H 01 L 29/78 3 7 1  
8624-5F 27/10 4 3 4  
7341-5B G 11 C 17/00 3 0 7 D

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 不揮発性半導体記憶装置

⑯ 特 願 昭63-148752

⑰ 出 願 昭63(1988)6月15日

⑱ 発 明 者 松 田 隆 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

発明の名称

不揮発性半導体記憶装置

特許請求の範囲

表面が制御ゲートで覆われていない浮遊ゲートを有する不揮発性半導体記憶装置において、前記浮遊ゲート表面に絶縁膜を介して保護電極を設け、前記保護電極を最低電位に接続することを特徴とする不揮発性半導体記憶装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は不揮発性半導体記憶装置に関し、特に表面が制御ゲートで覆われていない浮遊ゲートを有する不揮発性半導体記憶装置に関する。

〔従来の技術〕

従来、この種の不揮発性半導体記憶装置においては、特に制御ゲートを単一の不純物拡散層で形

成した単層ゲート電極構造の不揮発性半導体記憶装置においては、2層に積層したゲート電極構造と違い、浮遊ゲート表面が制御ゲートに覆われておらず、浮遊ゲート上は一般的なMOS型トランジスタと同様に層間絶縁膜およびパッシベーション膜のみが形成されている。

〔発明が解決しようとする課題〕

上述した従来の単層ゲート電極構造の不揮発性半導体装置においては、浮遊ゲートが制御ゲートで覆われていないことにより、以下の欠点を有する。すなわち、不揮発性半導体記憶装置は、浮遊ゲートに電荷(電子)を定常状態に比べ過剰にあるいは過小の状態に保持することにより不揮発性を有しているものであるが、この電荷の保持特性は、(1)浮遊ゲートに蓄積された自己電界による放出、(2)熱励起による放出、(3)可動イオンが浮遊ゲートに集まることによる蓄積電荷の中和により決定される。ところで、上述の(1)および(2)については2層積層ゲート構造の不揮発性半導体装置の場合も同様に起きるが、(3)について

は、単層ゲート電極構造の不揮発性半導体装置のように浮遊ゲートが制御ゲートで覆われておらず、特に可動イオン（特に $\text{Na}^+$ 等アルカリ陽イオン）が経時変化により、チップ内に侵入し浮遊ゲート表面に集まるゲート構造の場合に蓄積電荷（電子）と中和したような状態となるので、結果的に浮遊ゲート中の電荷は消失したと等価となり記憶保持特性が著しく劣るものとなる。このように、従来の単層ゲート電極構造の不揮発性半導体装置では、電荷の保持特性が2層積層構造型に比べ著しく劣るという欠点を有する。

本発明の目的は、上記の情況に鑑み、電荷保持特性の極めて良好な単層ゲート電極構造メモリ・セルから成る不揮発性半導体記憶装置を提供することである。

〔課題を解決するための手段〕

本発明によれば、表面が制御ゲートで覆われていない浮遊ゲートを有する不揮発性半導体記憶装置は、前記浮遊ゲート表面に絶縁膜を介して保護電極を設け、前記保護電極を最低電位に接続する

ことを含んで構成される。

〔実施例〕

以下図面を参照して本発明を詳細に説明する。

第1図(a)および(b)はそれぞれ本発明の一実施例を示す不揮発性半導体記憶装置の部分平面図およびそのA-A'断面図である。本実施例によれば、保護電極1が不純物拡散層よりなるワード線3、浮遊ゲート2、ソース線5およびディジット線4からなる電気的消去型単層ゲート不揮発性半導体記憶素子の浮遊ゲート2上に形成され、さらにこの保護電極1は最低電極に接続される。上記実施例の装置構造はつぎのようにして形成したものである。

第1図(b)を参照すると、例えばP型半導体基板10上にフィールド酸化膜を形成し、次にワード線不純物層3、メモリ・セルのソース領域11及びドレイン領域12の不純物層を、例えば、フォトリソグラフィ技術、イオン注入技術及び熱処理等により形成する。次に第1のゲート酸化膜7を形成し、さらにトンネル窓6の開口及

び第2のゲート酸化膜8を形成し、ついで浮遊ゲート2を、例えば、LPCVD法により形成した多結晶シリコン層内に不純物を導入した後、フォトリソグラフィ技術を用いて形成する。この後、層間絶縁膜9を膜厚1000~8000Åに常圧CVD法を用いて形成し、ついで、例えば、LPCVD法により多結晶シリコン層を形成して不純物を導入し、更にフォトリソグラフィ技術及びエッチング技術により保護電極1を形成したものである。このように、制御ゲートの覆われていない浮遊ゲート2上に保護電極1を形成し、さらに最低電位に接続することにより、経時変化等によりチップ内に侵入した陽イオンを保護電極1内に集めることができるので、浮遊ゲート2への影響を無くすることが可能となる。

第2図は本発明の他の実施例を示す不揮発性記憶装置の部分平面図である。本実施例によれば、第1のゲート電極25、浮遊ゲート23、第2のゲート電極26、ソース領域21およびドレイン領域27からなる3層多結晶シリコン型不揮発性

半導体記憶素子の浮遊ゲート23上に保護電極24が形成され、さらにこの保護電極24は最低電位に接続される。上記実施例の装置構造は、前実施例と同様な方法で製造することができ、容易に保護電極24を形成することが可能である。本実施例によれば、前実施例同様経時変化等によりチップ内に侵入した陽イオンを保護電極に集めることができ、浮遊ゲートへの影響を無くすることができるので、長期信頼性を得ることができる。

〔発明の効果〕

以上説明したように、本発明によれば、制御ゲートで覆われていない浮遊ゲートを有する不揮発性半導体記憶素子に層間絶縁膜を介して保護ゲートを形成し、さらにチップの最低電位に接続することにより、経時変化等によるチップ内へのアルカリ陽イオンの侵入に対し、保護電極に陽イオンを集め、浮遊ゲートへの陽イオンの影響を無くすることが可能となるので、従来問題とされた陽イオンによる電荷の見かけ上の消失を無くすることができる。すなわち、長期記憶保持の信頼度を顯著

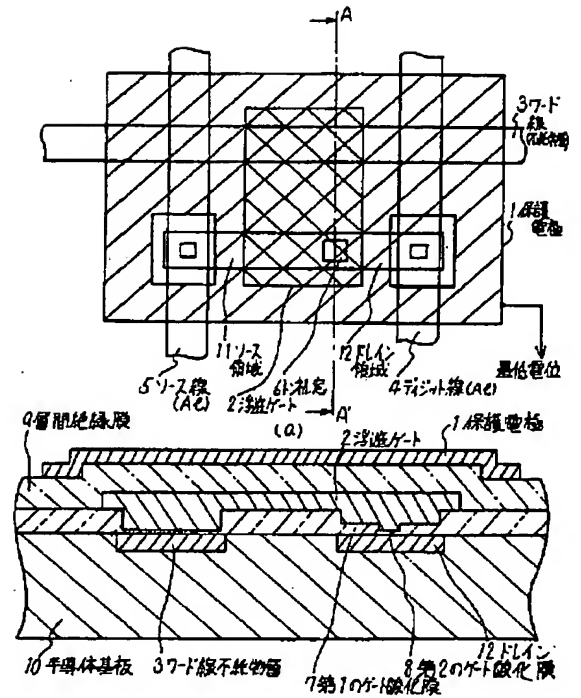
に向上させることが可能となる。

図面の簡単な説明

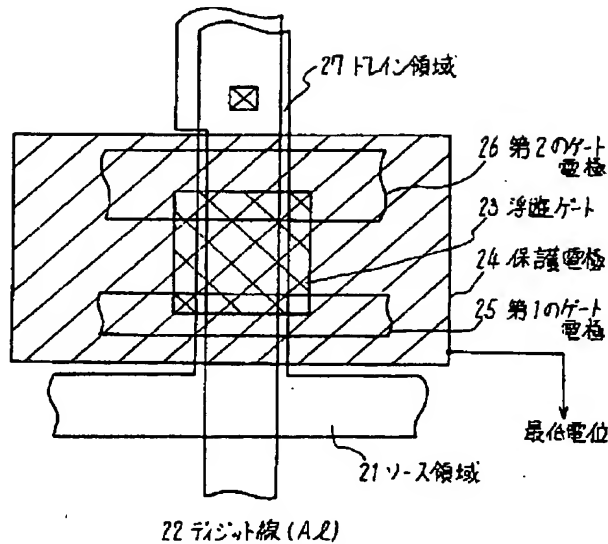
第1図(a)および(b)はそれぞれ本発明の一実施例を示す不揮発性半導体記憶装置の部分平面図およびそのA-A'断面図、第2図は本発明の他の実施例を示す不揮発性半導体記憶装置の部分平面図である。

1, 2, 4...保護電極、2, 23...浮遊ゲート、3...ワード線不純物層、4, 22...ディジット線、5...ソース線、6...トンネル窓、7...第1のゲート酸化膜、8...第2のゲート酸化膜、9...層間絶縁膜、10...半導体基板、11, 21...ソース、12, 27...ドレイン、25...第1のゲート電極、26...第2のゲート電極。

代理人 弁理士 内 原



(b)  
第 1 図



第 2 図